

计算题:

1、设机器数字长为 8 位 (含 1 位符号位在内), 写出对应下列各真值的原码、补码和反码。
-13/64, 29/128, 100, -87

2、已知[x]补, 求[x]原和 x。

1) [x]补=1.1100;

5) [x]补=1,0101;

3、当十六进制数 9BH 和 FFH 分别表示为原码、补码、反码、移码和无符号数时, 所对应的十进制数各为多少 (设机器数采用一位符号位) ?

4、6.12 将十进制数转换为二进制:

x2= -27/1024

5、利用卡诺图法化简下列函数

$$F(ABCD) = \sum (0,1,2,5,6,7,8,9,13,14)$$

$$F(ABCD) = A + \overline{\overline{BCD}} + \overline{BCD}$$

6、用原码一位乘和补码一位乘（Booth 算法）计算 $x \cdot y$ 。

(1) $x = 0.110\ 111$, $y = -0.101\ 110$;

7、按机器补码浮点运算步骤计算 $[x+y]$ 补

(1) $x = 2^{-011} \times 0.101100$, $y = 2^{-010} \times (-0.011100)$;

二、存储器部分：

8、假设 CPU 执行某段程序时共访问 Cache 命中 4800 次，访问主存 200 次，已知 Cache 的存取周期是 30ns，主存的存取周期是 150ns，求 Cache 的命中率以及 Cache-主存系统的平均访问时间和效率，试问该系统的性能提高了多少？

9、设 CPU 有 16 根地址线，8 根数据线，用 \overline{CS} （低电平有效）作访存控制信号， R/\overline{W} 作读写控制信号（高电平为读，低电平为写），现有 1K×4 位、4K×8 位的 RAM 芯片，2K×8 位，4K×4 位的 ROM 芯片，以及 74138 译码器和各种门电路，画出 CPU 与存储器连接图，图中标明信号线的方向、种类和条数；并写出每片 RAM 芯片的地址范围（用十六进制描述）。

要求：主存地址空间分配：A000H---A7FFH 为系统程序区； A800H---AFFFH 为用户程序区。

10、一个 4 体低位交叉的存储器，假设存取周期为 T，CPU 每隔 $1/4$ 存取周期启动一个存储体，试问依次访问 64 个字需多少个存取周期？

11、cache 映射题

三、指令系统题

12、设指令字长为 16 位，采用扩展操作码技术，每个操作数的地址为 6 位。如果定义了 13 条二地址指令，试问还可安排多少条一地址指令？

13、某机指令字长 16 位，每个操作数的地址码为 6 位，设操作码长度固定，指令分为零地址、一地址和二地址三种格式。若零地址指令有 M 种，一地址指令有 N 种，则二地址指令最多有几种？若操作码位数可变，则二地址指令最多允许有几种？

14、设相对寻址的转移指令占两个字节，第一个字节是操作码，第二个字节是相对位移量，用补码表示。假设当前转移指令第一字节所在的地址为 2000H，且 CPU 每取出一个字节便自动完成 $(PC) + 1 \rightarrow PC$ 的操作。试问当执行“JMP *+8”和“JMP *-9”指令时，转移指令第二字节的内容各为多少？补充：操作数的有效地址是多少？

15、某机器指令格式如下所示：



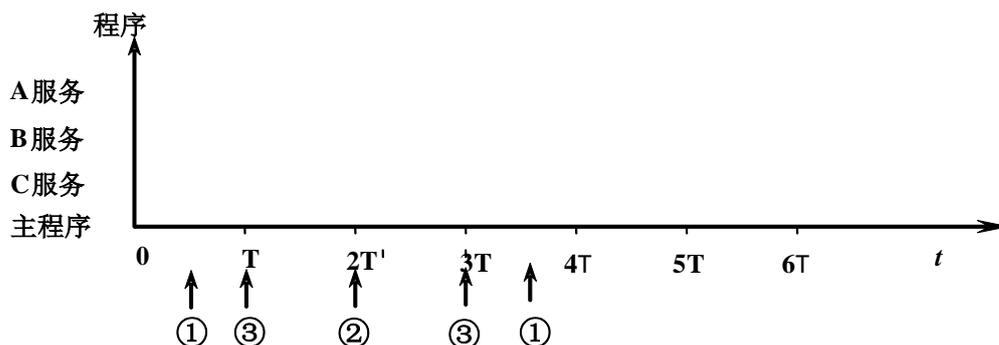
X=00	直接寻址
X=01	寄存器间接寻址，用寄存器 R ₁ 寻址
X=10	变址寻址，用变址寄存器 R ₂ 寻址
X=11	PC 相对寻址

设 $(PC) = 5431H$ ， $(R1) = 3525H$ ， $(R2) = 6783H$ (H 代表十六进制数)，请确定下列指令的寻址方式和有效地址。(假定主存按字节寻址处理)

- (1) 8341H (2) 1468H (3) 8100H (4) 6264H

IO 系统与中断处理部分

16. 设某机有三个中断源，其优先级次序为 $A > B > C$ ，系统允许多重中断，每个中断源的中断服务程序时间均为 T 。在下图所示时间共发生 5 次中断请求，①为 A 中断源发出的请求信号，②为 A 中断源发出的请求信号，③为 A 中断源发出的请求信号，请画出中断服务程序运行轨迹。



17. 设某机有五个中断源 L_0 、 L_1 、 L_2 、 L_3 、 L_4 ，按中断响应的优先次序由高向低排序为 $L_0 \rightarrow L_1 \rightarrow L_2 \rightarrow L_3 \rightarrow L_4$ ，现要求中断处理次序改为 $L_1 \rightarrow L_4 \rightarrow L_2 \rightarrow L_0 \rightarrow L_3$ ，根据下面的格式，写出各中断源的屏蔽字。

18. 有四个中断源 1#、2#、3#、4#，分属四级中断 1 级、2 级、3 级、4 级，CPU 响应顺序为 1 级 \rightarrow 2 级 \rightarrow 3 级 \rightarrow 4 级，其中 1 级优先级最高，4 级优先级最低（假定 CPU 运行的现行程序优先级最低）。要求 CPU 处理顺序为 2 级 \rightarrow 4 级 \rightarrow 1 级 \rightarrow 3 级。写出各级中断屏蔽字；在某时刻四级中断源同时提出中断请求，画出 CPU 的运行轨迹。

概念问答：

1、存储器的层次结构主要体现在什么地方？为什么要分这些层次？计算机如何管理这些层次？

答：1) 存储器的层次结构主要体现在 Cache—主存和主存—辅存这两个存储层次上。

2) Cache—主存层次主要解决 CPU 和主存速度不匹配的问题，在存储系统中主要对 CPU 访存取起加速作用。从 CPU 的角度看，该层次的速度接近于 Cache，而容量和每位价格却接近于主存。这就解决了存储器的高速度和低成本之间的矛盾；

主存—辅存层次主要解决存储系统的容量问题，在存储系统中主要起扩容作用。从程序员的角度看，其所使用的存储器的容量和每位价格接近于辅存，而速度接近于主存。该层次解决了大容量和低成本之间的矛盾。

3) 主存与 Cache 之间的数据调度是由硬件自动完成的，对程序员是透明的。而主存—辅存之间的数据调动，是由硬件和操作系统共同完成的。换言之，即采用虚拟存储技术实现。

2、说明存取周期和存取时间的区别。

答：存取时间是指存储器完成一次读/写所用的时间，即从本次读/写开始至本次读/写结束；而存取周期是指相邻两次读/写操作之间的时间间隔，即从本次读/写开始至下一次读/写开始。因此存取周期要略长于存取时间。

（具体要分读写两种不同操作来分析：

读周期=读出时间+片选失效到地址失效的时间

写周期=滞后时间+写入时间+写恢复时间）

3、试比较静态 RAM 和动态 RAM。

1) 静态 RAM 的特点：依靠双稳态触发器保存信息，不断电信息不丢失；功耗较大，集成度较低，速度快，每位价格高，适合于作 Cache 或存取速度要求较高的小容量主存。

2) 动态 RAM 的特点：依靠电容存储电荷来保存信息，需刷新电路进行动态刷新；功耗较小，集成度高，每位价格较低，适合于作大容量主存。

4、简述动态 RAM 的各种刷新方式及其特点。

答案要点：动态 RAM 的刷新方式有集中式刷新、分散式刷新、异步式刷新和透明式刷新等四种方式。

集中式刷新的特点：在最大刷新闻隔时间内，集中安排一段时间进行刷新。其缺点是进行刷新时必须停止读、写操作。这对主机而言是个“死区”

分散式刷新的特点：刷新工作安排在系统的存取周期内进行，对主机而言不再有“死区”。但该方法加长了系统的存取周期，存在无谓刷新，降低了整机运行效率。因此，分散方式刷新不适用于高速存储器。

异步式刷新的特点：结合了上述两种方式的优点，充分利用了最大刷新闻隔。相对于分散式刷新而言，它减少了刷新次数；相对于集中方式来说，主机的“死区”又缩短很多。因此，这种方式使用得比较多。

透明式刷新的特点：该方式不占用 CPU 时间，对 CPU 而言是透明的操作；但控制线路复杂。

5. 以全相联映射技术为例，说明在带有 Cache 的存储系统中，“读”操作是怎样完成的。

答：当 CPU 发出主存地址后，地址映射机构按照全相联映射方式将主存地址标记与 Cache 所有字块的标记进行比较，以判断出所访主存字（主存地址的内容）是否已在 Cache 中。若命中，直接访问 Cache，将该字送至 CPU；若未命中，一方面要访问主存，将该字传送给 CPU，与此同时，要按照全相联映射方式转换的 Cache 地址将该字所在的主存块装入 Cache，如果此时 Cache 已装满，就要执行替换算法，腾出空位才能将新的主存块调入。

6. 简述 Cache-主存地址映射有哪几种方式，以及各自的优缺点。

答：Cache-主存地址映射有直接映射方式、全相联映射方式和组相联映射方式三种。

直接映射方式的特点：主存的字块只可以和固定的 Cache 字块对应，优点是方式直接，硬件实现电路简单，成本低；缺点是利用率低，同时命中率和效率较低。

全相联映射方式主存中的字块可以和 Cache 的任何字块对应，优点是方式灵活，利用率高；缺点是所需逻辑电路复杂，使用成本太高。

组相联映射方式是对前两种映射方式的折衷，组间全相联，组内直接映像。其特点是集中了两个方式的优点，成本也不太高，是目前应用最为广泛的 Cache 映射方式。

7. 什么是指令周期？指令周期是否有一个固定值？为什么？

解：1) 指令周期是指 CPU 每取出并执行一条指令所需的全部时间。

2) 由于计算机中各种指令执行所需的时间差异很大，因此为了提高 CPU 运行效率，即使在同步控制的机器中，不同指令的指令周期长度都是不一致的，也就是说指令周期对于不同的指令来说不是一个固定值。

3) 指令周期长度不一致的根本原因在于设计人员，为了提高 CPU 运行效率而这样安排的，指令功能不同，需完成的微操作复杂程度亦不同，因此，不同指令的指令周期也不同。

8. 画出指令周期的流程图，分别说明图中每个子周期的作用。

解答：流程图见教材 P343。

取指周期：完成取指令和分析指令的操作。

间址周期：取操作数的有效地址。

执行周期：执行指令的操作。

中断周期：将程序断点保存到存储器。

9. 什么是指令周期、机器周期和时钟周期？三者有何关系？

解：CPU 每取出并执行一条指令所需的全部时间叫指令周期；机器周期是在同步控制的机器中，所有指令执行过程中（执行一步相对完整的操作）的一个基准时间，通常以访问一次存储器所需的时间作为一个机器周期；时钟周期是指计算机主工作时钟的周期时间，它是计算机运行时最基本的时序单位，通常时钟周期=计算机主频的倒数。

三者之间的关系：指令周期常常用若干个机器周期数来表示，机器周期也叫 CPU 周期；而一个机器周期又包含若干个时钟周期（也称为节拍脉冲或 T 周期）。

10.简述微程序控制器的工作原理和工作过程。

这是微程序控制器的工作原理：

将控制器所需要的微操作命令，以微代码的形式编成微指令，存在专门的控制存储器中，CPU 执行机器指令时，从控制存储器中取出微指令，对微指令中的操作控制字段进行解释，即产生执行机器指令所需的微操作命令序列。

微程序控制器的工作过程如下：

首先将用户程序的首地址送至 PC,然后进入取指阶段。

- 1) 取机器指令：从控制存储器中读取“取指微程序”，用产生的微命令控制 CPU 访存，读取机器指令，并送入指令寄存器 IR。
- 2) 形成微程序入口地址：根据机器指令的操作码，通过微地址形成电路，产生与该机器指令对应的微程序入口地址，并送入 CMAR。
- 3) 逐条取出机器指令对应的微程序并执行之。
- 4) 返回取指微指令，开始又一条机器指令的执行。如此不断重复，直到整个程序执行完为止。

11. 试分析比较组合逻辑控制器和微程序控制器的优缺点。

组合逻辑控制器的优点：速度快；

组合逻辑控制器的缺点：设计不规整，指令系统调整和扩充很难；

微程序控制器的优点：①结构规整，设计效率高；②易于修改和扩展指令系统功能；

微程序控制器的缺点：①执行速度较慢；②执行效率不高

12.I/O 设备与主机交换信息时，共有哪几种控制方式？简述它们的特点。

I/O 设备与主机交换信息时，共有 5 种控制方式：程序查询方式、程序中断方式、DMA 方式、I/O 通道方式和 I/O 处理机方式。其中前 3 种方式是基本的且广泛应用的控制方式。

程序查询方式的特点：控制简单，硬件开销小；CPU 与外设是串行工作的，系统效率低。适用于 CPU 不太忙且传送速度要求不太高的场合。

程序中断方式的特点：CPU 和外设可并行工作，提高了 CPU 的效率，不仅适于主机和外设之间的数据交换，还特别适于对外界随机事件的处理。适用于 CPU 较忙，传送速度不太高的系统中，尤其适合实时控制及紧急事件的处理。

DMA 方式的特点：完全由硬件（DMA 控制器）负责完成信息交换，信息传递从以 CPU 为中心，转为以内存为中心，CPU 和外设可并行工作，对高速大批量数据传送特别有用。但缺点是只能进行简单数据交换，电路结构复杂，硬件开销大。

13.CPU 响应中断的条件是什么？

CPU 响应中断的条件可以归纳为三条：

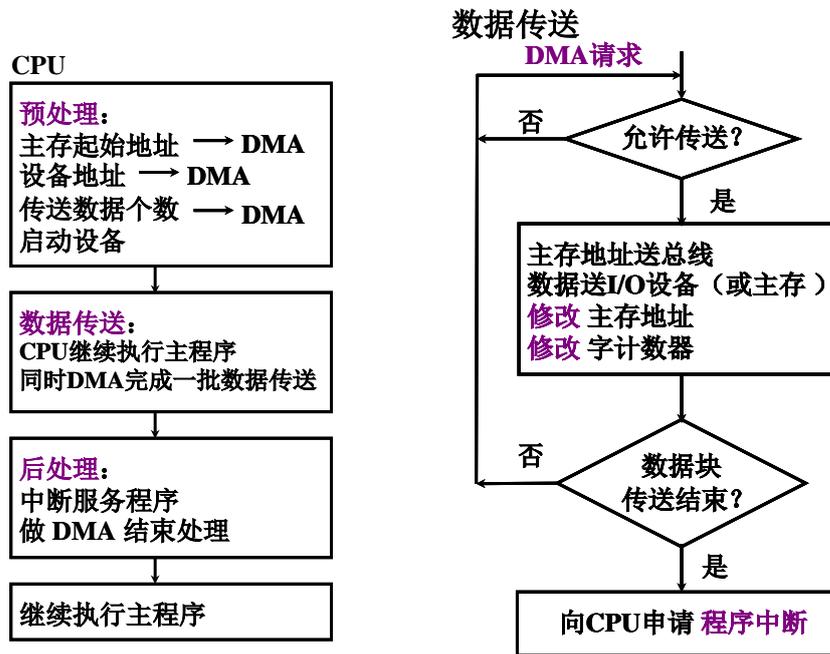
- 1) 有中断请求；
- 2) CPU 允许中断，即中断允许状态 IF=1（或 EINT=1）；
- 3) 一条指令执行结束。

14. 试比较单重中断和多重中断服务程序的处理流程，说明它们不同的原因。

- 1) 二者的比较可用两种中断的服务程序流程图（见教材 P201）的对比来说明，此处略。
- 2) 单重中断和多重中断的区别在于“开中断”的设置时间不同。对于单重中断，开中断指令设置在最后“中断返回”之前，意味着在整个中断服务处理过程中，不能再响应其他中断源请求。而对于多重中断，开中断指令提前至“保护现场”之后，意味着在保护现场之后，若有更高级别的中断源提出请求，CPU 也可以响应，从而实现中断嵌套，这是二者的主要区别。

15. 结合 DMA 接口电路说明其工作过程。

DMA 的数据传送过程可分为预处理、数据传送和后处理 3 个阶段。工作过程如下图所示：



各阶段完成的工作如下：

- 1) 预处理阶段：CPU 执行程序实现 DMA 传送的初始化设置；
- 2) 数据传送阶段：由 DMA 控制器实现内存和外设间的数据传送。
- 3) 后处理阶段：中断处理程序判断传送的正误，对写入主存的数据进行校验，完成善后工作。

16. 以硬盘读写为例，说明在主机和外设之间进行数据传送，为什么需要采用 DMA 方式？

参考答案要点：

一些高速外设，如硬盘、光盘等 I/O 设备，经常需要和主存进行大批量的数据交换；若采用程序查询方式或程序中断方式来完成，即通过 CPU 执行程序来完成数据交换，速度较慢，极可能造成数据的丢失，因而不能满足批量数据的高速传递需求。因此，需要借助于硬件，比如 DMA 控制器来实现主存和高速外设之间的直接数据传送。

17. 中断周期前是什么阶段？中断周期后又是什么阶段？在中断周期 CPU 应完成什么操作？

- 1) 中断周期前是一条指令的执行周期；
- 2) 中断周期后是取指周期（取中断服务程序的第 1 条指令）；
- 3) 中断周期中，CPU 由硬件（中断隐指令）完成如下操作：

- ①保护程序的断点；
- ②关中断；
- ③转中断服务程序入口。

《计算机组成原理》期末复习资料（一）

复习资料及试题汇编(00.1-01.7)

一、数据表示、运算和运算器部件

1. 将十进制数+107/128 和-52 化成二进制数，再写出各自的原码、反码、补码表示（符号位和数值位共 8 位）。

解： $+107/128 = +6BH/80H = +1101011B/10000000B = +0.1101011$
 $-52 = -34H = -110100$

原码	01101011	10110100
反码	01101011	11001011
补码	01101011	11001100

2. 判断下面的二进制的编码系统是有权还是无权码，写出判断的推导过程。

十进制数	二进制的编码
0	0000
1	0111
2	0110
3	0101
4	0100
5	1011
6	1010
7	1001
8	1000
9	1111

解：设 4 位二进制每位分别为 ABCD，且假定其为有权码。则

从 4 的编码 0100 可求得 B 的位权为 4；从 8 的编码 1000 可求得 A 的位权为 8；

从 7 的编码 1001 可求得 D 的位权为-1；从 6 的编码 1010 可求得 C 的位权为-2；

再用 ABCD 的位权分别为 $84-2-1$ 来验证 112359 的编码值，结果均正确。所以，该编码系统为有权码。

3. 说明海明码纠错的实现原理。为能发现并改正一位、也能发现二位错，校验位和数据位在位数上应满足什么关系？

解：

(1) 海明码是对多个数据位使用多个校验位的一种检错纠错编码方案。它是对每个校验位采用偶校验规则计算校验位的值，通过把每个数据位分配到几个不同的校验位的计算中去。若任何一个数据位出错，必将引起相关的几个校验位的值发生变化，这样也就可以通过检查这些校验位取值的不同情况，不仅可以发现是否出错，还可以发现是哪一位出错，从而提供了纠错检错的可能。

(2) 设数据位为 k，校验位为 r，则应满足的关系是 $2^{r-1} \geq k+r$ 。

4. 什么叫二-十进制编码？什么叫有权码和无权码？够举出有权、无权码的例子。

解:

(1) 二-十进制编码通常是指用 4 位二进制码表示一位十进制数的编码方案。

(2) 有权码是指 4 位二进制码中, 每一位都有确定的位权, 4 位的位权之和代表该十进制的数值。例如 8421 码从高到低 4 位二进制码的位权分别为 8、4、2、1; 无权码则相反, 4 位二进制码中, 每一位都没有确定的位权, 只能用 4 位的总的状态组合关系来表示该十进制数值。例如循环码就找不出 4 个二进制位中的每一位的位权。

5. 已知: $[X]_{补}=010111101$, $[Y]_{补}=011010101$, 计算 $[X+Y]_{补}$, $[X-Y]_{补}$ 。并判断溢出。

解: $[-Y]_{补}=[Y]_{补}+1=100101010+1=100101011$

$$\begin{array}{r}
00\ 10111101\ (+189) \\
+) \ 00\ 11010101\ (+213) \\
\hline
01\ 10010010\ (+402) \therefore [X+Y]_{补}=[X]_{补}+[Y]_{补}=01\ 10010010, \text{结果出现上溢。} \\
00\ 10111101\ (+189) \\
+) \ 11\ 00101011\ (-213) \\
\hline
11\ 11101000\ (-24) \therefore [X-Y]_{补}=[X]_{补}-[-Y]_{补}=11\ 11101000, \text{计算结果无溢出。}
\end{array}$$

6. 已知: $X=0.1101$, $Y=-0.1011$, 利用原码一位乘法实现 $X*Y$ 。

解:	高位部分积	低位部分积/乘数
	00 0000	101 <u>1</u>
	+) 00 1101	
	<hr/>	
	00 1101	
	→ 00 0110	110 <u>1</u>
	+) 00 1101	
	<hr/>	
	01 0011	
	→ 00 1001	111 <u>0</u>
	+) 00 0000	
	<hr/>	
	00 1001	
	→ 00 0100	111 <u>1</u>
	+) 00 1101	
	<hr/>	
	01 0001	
	→ 00 1000	1111

结果符号位为负, $\therefore X*Y=10001111$

7. P91 例题

8. 设 $A=-0.101101*2^{-3}$, $B=0.101001*2^{-2}$, 先将 A、B 表示为规格化的浮点数。要求阶码用 4 位 (含阶符号) 移码表示, 尾数用 8 位 (含浮点数的符号) 原码表示, 再写出 A+B 的计算步骤和每一步的运算结果。

解: $-0.101101*2^{-3}$ 的浮点数的格式为: 1 0101 1011010 或 0 101 1 1011010

$0.101001*2^{-2}$ 的浮点数的格式为: 0 0110 1010010 或 0 110 0 1010010

计算 A+B: (双符号位补码相加)

(1) 求阶差: $|\Delta E|=|0101-0110|=0001$

(2) 对阶: A 变为 1 0110 01011010

(3) 尾数相加: 11 10100110 (补码)

$$\begin{array}{r}
+ \ 00\ 1010010 \\
\hline
00\ 0100101
\end{array}$$

(4) 规格化: 左规, 尾数为 0 1001010, 阶码为 0101

(5) 无舍入操作, 也没有溢出。

计算结果为：0 0101 1001010，即 $+1001010 \times 2^{-3}$

9. 浮点数阶码选用移码表示有何优点？浮点数表示中的隐藏位技术的作用是什么？在什么时刻完成对隐藏位的处理？当尾数选用补码表示时，如何表示十进制数-0.5，才能满足规格化表示的要求。

解：

- (1) 移码表示有利于表示和处理浮点数的机器零（或简化机器中的判0线路）。
- (2) 隐藏位是指可以把规格化浮点数的尾数最高位的值（原码时为1，补码时为与符号位相反）省去，以提高一位二进制尾数的表示精度。这一处理应出现在保存浮点数到存储器之前（隐藏），或从存储器读浮点数到运算器中（恢复）的时刻来进行。
- (3) -0.5 应表示为 -1×2^{-1}

10. 说明定点运算器的功能组成以及乘商寄存器的主要功能。

解：

- (1) 功能是完成算术运算和逻辑运算的数据加工部件。
 - (2) 组成：1) 算术逻辑运算部件 ALU；2) 一组通用寄存器；3) 乘商寄存器（专用的串行寄存器）；4) 实现各部件之间的相互连接和数据传送的多路选择器，以及接受外部数据输入和送出运算结果的逻辑电路。
 - (3) 乘商寄存器的主要功能是实现硬件的乘法指令和自身的左右移位。
11. 举例说明 ALU 通常提供的至少 5 种运算能力？运算器使用多累加器的好处是什么？乘商寄存器的基本功能是什么？

解：

- (1) ALU 提供加、减、与、或、异或等算术运算和逻辑运算。
 - (2) 使用多累加器有利于减少运算器执行运算过程中访问内存存储器的次数，即可把一些中间结果暂存在累加器中，有利于提高计算机系统的运行效率。
 - (3) 乘商寄存器的最基本功能是支持硬件乘法和除法指令的快速运算。在乘法指令运算时，开始存乘数，最后则是乘积的低位部分。在除法指令运算时，开始存被除数的地位部分，最后则是商。其支持左右移位，用户在程序中不能访问它。
12. 画出一个相对完整的定点数运算器组成框图，包括输入输出数据和基本控制信号。（略）

二、指令、指令系统和控制器部件

1. 在设计指令系统时，通常应从哪 4 个方面考虑？*（P137）
2. 举例说明计算机中常用的四种寻址方式（寄存器寻址，寄存器间接寻址，变址寻址，堆栈寻址），从形式地址到得到操作数的寻址处理过程。

解：

- (1) 寄存器寻址，形式地址为寄存器名（或编号），寄存器中的内容为操作数；
 - (2) 寄存器间接寻址，形式地址为寄存器名（或编号），寄存器中的内容为操作数的地址，再读一次内存得到操作数。
 - (3) 变址寻址，形式地址为变址寄存器名（或编号）和变址偏移值，把变址寄存器中内容与变址偏移值相加得到操作数的地址，再读一次内存得到操作数。
 - (4) 堆栈寻址，通常形式地址为将写入堆栈的、或接收堆栈读出内容的寄存器名（或编号），指令中不直接给出内存地址，用默认堆栈指针 SP，修改 SP 操作。
3. 原理性地说明：ADD R0, R1 (SUB R3, R2)、条件相对转移（子程序调用）指令的指令格式和执行步骤。

解：

- (1) ADD R0, R1：指令中给出操作码和 R0、R1 的编号；指令执行步骤：

1) 程序计数器 (PC) 的内容送地址寄存器; 2) 读内存, 读出内容送指令寄存器 (IR); PC 内容+1 (增量); 3) R0、R1 送 ALU, ALU 执行加运算, 运算结果存回 R0 寄存器; 保存运算结果的特征状态; 4) 检查有无中断请求, 有, 则响应中断, 无则转入下一条指令的执行过程。

(2) 条件相对转移指令: 指令中给出操作码和相对转移后的地址。指令的执行步骤:

1) 程序计数器 (PC) 的内容送地址寄存器; 2) 读内存, 读出内容送指令寄存器 (IR); PC 内容+1 (增量); 3) 执行条件转移指令时, 要判别指定的条件, 若为真, 才执行: 尚未修改的 PC 内容送 ALU, 相对转移偏移值送 ALU, ALU 执行加操作, 结果送入 PC; 否则顺序执行下条指令。4) 检查有无中断请求, 有, 则响应中断, 无则转入下一条指令的执行过程。

4. 原理性说明条件转移指令和无条件转移指令的相同点和不同点。子程序调用与转移指令的区别是什么?

解: (1) 相同点是: 都必须在指令中给出转移地址; 不同点是: 条件转移指令还必须在指令中给出判断是否执行转移所依据的条件。

(2) 区别在于: 子程序调用指令转移后还有个对应的返回的操作; 二一般转移指令不涉及转移后是否和如何再次返回。

5. 简要说明组合控制器应由哪几个功能部件组成。

解: 组合逻辑控制器由以下几个部件组成:

(1) 由组合逻辑电路组成的时序控制信号产生部件直接形成并提供控制计算机各部件协同运行所需要的时序控制信号。(取代微程序的控存)

(2) 由节拍发生器提供执行指令的步骤 (时序) 标记信号和时序信号 (取代下地址形成部件)

(3) 由操作码译码器输出用于标识不同的指令, 并与节拍发生器和其它控制条件信号共同形成全部时序控制信号。

6. 在微程序控制器中, 通常有哪 5 种得到下一条微指令地址的方式? (p163)

7. 说明组合逻辑控制器与微程序控制器在组成和原理上异同处及优缺点。

解:

(1) 相同之处: 1) 基本功能相同, 即提供计算机各个部件协同运行所需的控制信号; 2) 基本组成也相同, 即 PC、IR 及几个步骤完成每一条指令的具体功能。

(2) 不同之处: 1) 处理指令执行步骤方法不同: 组合逻辑控制器是利用节拍发生器的节拍信号区分指令执行步骤; 而微程序控制器是通过微指令地址的衔接区分指令执行步骤;

2) 提供控制信号的方案不同: 组合逻辑控制器采用组合逻辑电路直接产生控制信号; 微程序控制器是通过微地址译码器找到控存单元, 取出的微指令才是控制信号。

8. 简要说明组合逻辑控制器中的节拍发生器的作用是什么? 简述其运行原理。(略)

三、多级结构的存储器系统

1. 说明多级结构存储器是建立在什么原理之上的? 什么是多级结构存储器相同中的一致性原则和包含性原则?

解:

(1) 多级结构的存储器是建立在局部性原理之上的, 即即在一小段时间内运行的程序只使用少量的指令和数据, 而该指令和数据又往往集中在存储器的一小片存储区中, 且顺序执行较转移执行比例大。因此可按所使用指令和数据的急迫和频繁程度将其存入容量、速度和价格不同的存储器中, 从而取得更高的性能价格比。

(2) 一致性原则是指保存在不同级的存储器中的同一数据必须有相同的值。包含性原则是指保存在内层的存储器中的数据一定也保存在外层存储器中。

2. 说明采用多级结构的存储器系统的目的？使用多体结构的主存储器的目的？

解：

(1) 采用三级结构的目的是：Cache-主存层次结构用于解决 CPU 与主存间速度不匹配问题，使系统具有主存容量和接近于 Cache 速度；虚拟存储器-主存层次结构用于解决主存容量小、运行成本高的问题，使系统具有辅存容量和接近主存速度，且造价和运行成本低。

(2) 使用多体结构的目的是：实现主存储器的并行读写，即在一个存取周期或略多的时间内并行读取多个字，以提高数据的传输速度。

3. DRAM 和 SRAM 器件的特性有那些主要区别？各自主要应用在什么地方？（略 P266）

4. 说明主存储器、高速缓存、虚存各自的组成及优缺点。

解：(1) 组成：主存储器通常由动态存储器 DRAM 芯片组成；高速缓存是由静态存储器 SRAM 组成；而虚存是由快速磁盘设备中的一片存储区组成。

(2) 比较：1) 在存取时间上高速缓存最快，虚存最慢，主存在其间；2) 在容量上高速缓存最小，虚存最大，而主存在其间；3) 在存储成本上高速缓存最高，虚存最低，而主存在其间。

5. 说明高速缓存的组成、工作原理、映像方式、优缺点。衡量高速缓存的最重要的指标是什么？

解：

(1) 高速缓存是由容量小、速度快的静态存储器器件组成。其工作原理如下：

1) CPU 将主存信息读入 CPU 的同时也写入 Cache 的数据字段，并将该数据所对应的主存地址写入标志字段。2) CPU 下次访问主存时，先将该地址与标志字段的内容相比较，若地址值相同，则数据内容即为要读的数据，可直接访问 Cache，且有效位字段置 1（命中）；否则，再访问主存，有效位字段置 0。3) 利用算法将非命中的数据逐步替换掉。4) 根据局限性原理，CPU 访问的绝大部分信息可直接从 Cache 中得到。

(2) 映像方式有：1) 全相联映像，即将主存的一个字块可以映像到整个 Cache 的任何一字块。灵活性大，但线路过于复杂，成本太高；2) 直接映像，即将主存的一个字块只能映像到 Cache 的确定一字块。线路简单，成本低，但灵活性差，影响命中率；3) 多组相联映像即将 Cache 分为若干组，每个组含若干个多体。是前两着方式的折中方案，命中率较高，线路也不太复杂。

(3) 衡量高速缓存的最重要的指标是它的命中率。

6. 说明一次性写光盘的组成与工作原理。

解：

(1) 由光盘机和盘片组成。其中光盘机由激光器、光束分离器、光聚焦镜、主轴驱动机构、读写头及寻道定位机构组成，盘片由基板、铝质反射层和薄金属膜组成。

(2) 工作原理：激光器产生一定强度的激光束，经光束分离器将激光束分离为写光束和读光束两部分。写入时，写光束通过跟踪反射镜和聚焦镜实现寻道定位，将很细的光束照射到指定光盘位置，在金属膜上融化出一个小坑，表示已完成 1 信号的写入；读出时，读光束也照射到该光盘位置，将是否有小坑通过反射光的强弱并光电转换器还原为 1、0 信号。

7. 使用磁盘阵列的目的是什么？RAID0……各有什么样的容错能力？

解：

(1) 使用磁盘阵列的目的是通过多个统一管理和调度的物理盘，得到比单个磁盘高大的存

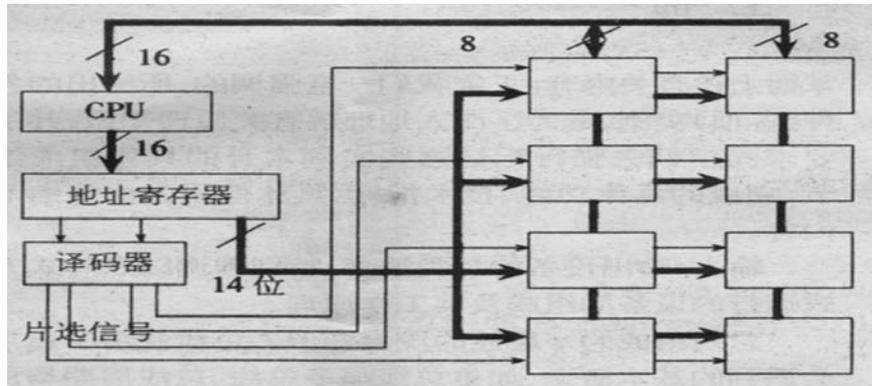
储容量、更快的读写速度、更高的容错能力和更好的性能价格比。

- (2) RAID0 无容错能力; RAID1 是镜像工作方式, 每个数据都写到两个磁盘中, 容错能力强; RAID4 和 RAID5 都是拿出 N 个磁盘总容量的 1/N 保存奇偶校验信息, 有容错能力, 磁盘存储容量的有使用效率也较高。

8. 用 16K*8 的 SRAM 实现 64k*16 的主存系统, 按字寻址, 设计该主存的逻辑图, 并说明总线和数据总线的位数, 该存储器 16 位字长 CPU 的连接关系。

解:

- (1) 逻辑图



- (2) 用 4 片 16k*8 的 SRAM 可实现字扩展, 2 片实现位扩展, 故共需要 8 片 SRAM。要寻址 64K 字, 内存地址应为 16 位。CPU 与内存字长为 16 位, 故数据总线也应为 16 位。

四、输入/输出设备与输入/输出系统

1. 比较针式、喷墨和激光打印机的优缺点和主要应用场合。

解:

- (1) 针式打印机的印字机械装置是多个用电磁铁控制的打印针。打印速度慢, 噪声大, 打印质量一般。多用于质量要求不高且希望价格较低场合。
- (2) 喷墨打印机是非击打式打印机。打印速度较快, 噪声低, 打印质量较高。多用于彩色打印场合。
- (3) 激光打印机也是非击打式打印机。打印速度更快, 噪声低, 打印质量更高。多用于要求打印质量较高的场合, 高档的激光打印机在电子照排印刷系统中得到了普遍的应用。

2. 说明激光打印机的原理性组成及完成打印操作的运行过程。

解:

- (1) 组成: 带电器、记录鼓、印字机控制器、碳粉盒、打印纸及走纸机构、激光扫描系统、转印装置以及加热部分等。
- (2) 运行过程: 带电器将记录鼓表面渡有一层感光材料且充满一层电荷。由印字控制器将要打印的内容形成点阵信息脉冲控制激光器系统输出激光束, 对作圆周运动的记录鼓进行横向重复扫描。扫描时激光器对鼓表面进行有选择地暴光 (照相)。被暴光部分释放电荷, 而未暴光部分仍保留电荷并使鼓表面形成“潜像” (潜影)。当记录鼓转到碳粉盒时, 带静电电荷的潜像部分 (信息区域) 被吸附上碳粉 (显影)。因打印纸的背面施以反向静电荷, 则鼓表面上的碳粉由转印装置被吸附在打印纸上 (转印)。碳粉经加热部分加热后将融化烘干后凝沾在打印纸上 (定影)。记录鼓每旋转一周打印一页内容。在打印下一之页前清除掉鼓表面的碳粉和残余的电荷。

3. 说明通用可编程输入/输出接口中应包括哪些组成部件及各自的功能, 并解释通用和可编程的含义。

解:

(1)通用可编程接口的组成与功能：1) 设备识别电路，用于 CPU 寻找要用的设备；2) 控制命令寄存器，用于存放 CPU 的控制命令；3) 状态寄存器，用于指出接口设备的运行状态；4) 数据缓冲寄存器，用于解决 CPU 与设备间交换数据时的速度匹配；5) 中断逻辑电路，用于记忆中断请求、处理中断屏蔽、响应中断及中断处理等。

(2)通用是指该接口电路具有多功能和用法；可编程是指可利用指令对该接口的功能、运行方式及控制参数进行设置。

4. 说明 DMA 接口的组成与功能以及与通用接口的比较。

解：

(1)DMA 的组成与功能：1) 主存地址计数器，用于存放主存地址；2) 数据数量计数器，用于存放传送数据的数量；3) 控制状态逻辑，用于修改主存地址计数器和数据数量计数器、指定传送功能及协调 CPU 和 DMA 信号的配合与同步；4) 请求触发器，用于接收和记忆设备送来的请求数据传送的信号；5) 数据缓冲寄存器，用于存放高速设备与主存间的数据；6) 中断机构，用于实现中断处理。

(2)结构相似的是中断机构、数据缓冲寄存器和控制状态逻辑；其余结构不同。

5. 比较程序直接控制、程序中断传送和直接存储器访问方式在完成输入输出操作时的优缺点。

解：

(1)程序查询方式是指在用户程序中直接使用 I/O 指令完成输入输出操作。它由 CPU 通过查询设备的运行状态来控制传送过程。优点是硬件简单，缺点是 CPU 速度快，外设慢，其绝大多数时间都花费在查询等待上，因此严重影响系统运行性能。

(2)程序中断方式是指由被读写的设备主动向 CPU 报告是否已进入准备好状态，这样 CPU 不必花费时间去循环测试，从而提高了系统的总体运行性能，即 CPU 可与外设输入输出并行工作。

(3)直接存储器访问方式是指把数据的传送过程交由一块专用 DMA 接口来控制，让 DMA 卡代替 CPU 在快速设备与主存之间直接传送数据。每传送一个数据只需一个总线周期即可。

6. 分别说明地址总线的位数、数据总线的位数和时钟频率对计算机性能由什么影响？控制总线的作用是什么？说明总线周期、总线等待状态的含义是什么？

解：

(1)地址总线的位数决定了最大的主存寻址空间；数据总线的位数与运行频率的乘积正比于该总线的最高数据传送能力；控制总线的作用是指明总线的周期和一次输入输出操作完成的时刻。

(2)总线周期是指通过总线完成一次数据传送的时间，通常是由一次地址时间和一次数据时间组成；若被读写的存储器或外设的运行速度慢，在一次数据不能完成读写操作，则需再增加一到多次数据时间，该时间被称为总线的等待状态。

7. 总线的 BURST 传送方式与正常传送方式的区别是什么？简要说明一次中断的响应和处理过程。

解：

(1)BURST 传送方式是指通过一次地址时间和多次数据时间，高速完成一组（多个）数据传送。而正常传送方式是通过一次地址时间和一次数据时间完成一个数据传送。

(2)一次中断响应：当有中断请求时，若系统允许中断，CPU 正在处理的程序优先级比正在请求中断的优先级低，当一条指令执行结束后，CPU 可以响应中断。

(3)中断处理过程：关中断；保护断点和现场；判中断源并转中断服务；开中断；执行中断服务程序；关中断；回复现场和断点；开中断；返回断点。